



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월03일
(11) 등록번호 10-1299597
(24) 등록일자 2013년08월19일

(51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) H01L 51/30 (2006.01)
(21) 출원번호 10-2011-0085236
(22) 출원일자 2011년08월25일
심사청구일자 2011년08월25일
(65) 공개번호 10-2013-0022575
(43) 공개일자 2013년03월07일
(56) 선행기술조사문헌
논문 1 : ADV. MATER. 2008, 20, 3289-3293*
논문 2 : ADV. MATER. 2009, 21, 3488-3491
논문 3 : ADV. MATER. 2011, 23, 1752-1756
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
그래핀스퀘어 주식회사
서울특별시 강남구 봉은사로72길 18 ,301(삼성동)
(72) 발명자
홍병희
서울특별시 강남구 봉은사로72길 18, 202호 (삼성동)
김경은
인천광역시 남구 인주대로375번길 24-1 (주안동)
(뒷면에 계속)
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 14 항

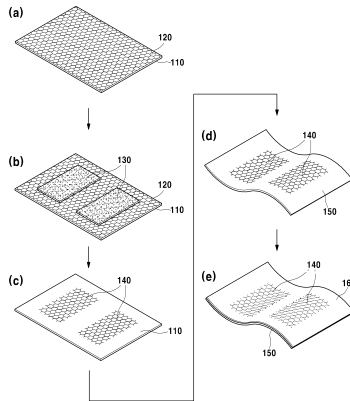
심사관 : 금복희

(54) 발명의 명칭 유기 전계효과 트랜지스터 및 그의 제조 방법

(57) 요약

본원은, 단층 그래핀을 전극으로서 사용하고 펜타센 유기물질층을 채널로서 사용하고 플라스틱 기재 상에 전사함으로써 투명하고 플렉서블한 유기 전계효과 트랜지스터 및 그의 제조방법에 관한 것이다.

대표도 - 도1



(72) 발명자

박재성

경상북도 포항시 남구 효자동 포항공과대학교 2동
1202호

김영수

서울특별시 서초구 효령로77길 20, ESA아파트 110
7호 (서초동)

특허청구의 범위

청구항 1

플라스틱 기재 상에 형성된 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극; 및,
 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극과 각각 전기적으로 연결되며, 수직 배향 구조를 갖는 유기 반도체 채널층
 을 포함하는, 유기 전계효과 박막트랜지스터.

청구항 2

제 1 항에 있어서,
 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극의 면저항은 각각 0.5 k Ω /sq이하인, 유기 전계효과 박막트랜지스터.

청구항 3

제 1 항에 있어서,
 상기 유기 반도체 채널층은 펜타센계 화합물, 테트라센계 화합물, 티오펜 올리고머, 폴리티오펜, 폴리플루오렌, 플루오렌과 티오펜의 공중합체, 이들의 유도체, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 유기 전계효과 박막트랜지스터.

청구항 4

제 1 항에 있어서,
 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각은 그래핀 성장용 금속 촉매 박막 상에서 화학기상증착법에 의하여 제조된 단층 그래핀을 상온에서 패터닝하여 형성된 것인, 유기 전계효과 박막트랜지스터.

청구항 5

제 1 항에 있어서,
 상기 유기 전계효과 박막트랜지스터는 플렉서블 또는 투명 플렉서블한 것인, 유기 전계효과 박막트랜지스터.

청구항 6

제 1 항에 있어서,
 상기 플라스틱 기재는 폴리아릴레이트, 폴리에틸렌 테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리에틸렌(PE), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(PMMA), 폴리에틸아크릴레이트(polyethylacrylate), 사이클릭 올레핀 코폴리머(COC), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 폴리머(COP), 폴리프로필렌(PP), 폴리이미드(PI), 폴리스타이렌(PS), 폴리비닐클로라이드(PVC), 폴리아세탈(POM), 폴리테트라에틸렌 테르케톤(PEEK), 폴리에스테르설포네(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐리덴플로라이드(PVDF), 퍼

플루오로알킬 고분자(PFA) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 유기 전계효과 박막트랜지스터.

청구항 7

삭제

청구항 8

제 1 항 내지 제 6 항 중 어느 한 항에 따른 유기 전계효과 박막트랜지스터를 포함하는, 표시소자.

청구항 9

제 8 항에 따른 표시소자를 포함하는, 표시용 전자기기.

청구항 10

그래핀 성장용 금속 촉매 박막 상에 화학기상증착법에 의하여 단층 그래핀을 형성하고;

상기 단층 그래핀을 상온에서 패터닝하여 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극을 각각 형성하고;

상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극을 상기 금속 촉매 박막으로부터 분리시켜 플라스틱 기재 상에 전사하고; 및

상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각과 전기적으로 연결되도록 수직 배향 구조를 갖는 유기 반도체 채널층을 형성하는 것

을 포함하는, 유기 전계효과 박막 트랜지스터의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 금속 촉매 박막은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, Ru, Ir, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 유기 전계효과 박막 트랜지스터의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 유기 전계효과 박막 트랜지스터는 플렉서블 또는 투명 플렉서블한 것인, 유기 전계효과 박막 트랜지스터의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 패터닝된 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각을 상기 금속 촉매 박막으로부터 분리시키는 것은, 에칭 용액을 이용하여 상기 금속 촉매 박막을 용해시켜 제거하는 것을 포함하는 것인, 유기 전계효과 박막 트랜지스터의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 유기 반도체 채널층은 펜타센계 화합물, 테트라센계 화합물, 티오펜 올리고머, 폴리티오펜, 폴리플루오렌, 플루오렌과 티오펜의 공중합체, 이들의 유도체, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 유기 전계효과 박막 트랜지스터의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 플라스틱 기재는 폴리아릴레이트, 폴리에틸렌 테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리에틸렌(PE), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(PMMA), 폴리에틸아크릴레이트(polyethylacrylate), 사이클릭 올레핀 코폴리머(COC), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 폴리머(COP), 폴리프로필렌(PP), 폴리이미드(PI), 폴리스타이렌(PS), 폴리비닐클로라이드(PVC), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설포네(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것인, 유기 전계효과 박막 트랜지스터의 제조 방법.

명세서

기술분야

[0001] 본원은, 플라스틱 기재 상에 형성된 단층 그래핀 전극을 이용한 유기 전계효과 트랜지스터, 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 최근 플렉서블 디스플레이에 대한 관심이 고조되면서, 플렉서블 디스플레이에 적합한 스위칭 소자의 개발이 더욱 중요해지고 있다. 현재 액정 디스플레이에 주로 사용되는 비정질 실리콘(amorphous silicon) 박막 트랜지스터(Thin-Film Transistor; TFT)의 경우 구성 물질이 모두 실리콘과 같은 무기물이기 때문에 구부리거나 휘 경우 인가된 기계적 스트레스로 인하여 크랙이 발생하여 소자특성을 잃게 된다.

[0003] 따라서, 무기물인 실리콘 기반의 TFT 대신 유기물인 유기 반도체를 활용한 유기박막 트랜지스터(Organic Thin-Film Transistor; OTFT)가 많은 관심을 받고 있다.

[0004] OTFT는 대부분의 구성 물질이 유기물로 이루어져 있기 때문에 구부리거나 휘어도 크랙이 발생하거나 깨질 가능성이 작다. 이러한 특성 때문에 향후 플렉서블 디스플레이에 있어서 대부분의 스위칭 소자는 OTFT가 사용될 것이 예상된다.

[0005] 그래핀은 우수한 전기적, 광학적, 및 기계적인 특성을 제공하기 때문에 그래핀-기반 전자 디바이스에 대한 많은 관심을 받고 있다. 이러한 의미에서, 그래핀 전극을 이용하는 유기 전자 디바이스는 상당한 주목을 끌고 있다. 그래핀 전극을 이용하는 유기 전계효과 트랜지스터 (OFET)의 제작의 궁극적 목표 중 하나는 주변 조건 하에서 고성능을 유지하는 플라스틱 기재 상에 조립되는 플렉서블 및 투명한 유기성 트랜지스터의 제작에 있다.

[0006] 그래핀 전극을 가지는 유기 전자 디바이스를 제조하는 것과 관련된 또 다른 중요한 목표는 대면적의 매우 투명한 그래핀 전극의 제조에 있다. R. R. Nair 등에 의해 발표된 *Science* 2008 , 320 , 1308 에 의하면, 그래핀 투과율은 층 수에 따라 n-층 그래핀의 증가를 선형적으로 감소시킨다. 단층 그래핀의 또 다른 장점은 그것의 매우 얇은 두께 (3-4 Å)이다. M. S. Xu 등에 의해 발표된, *Adv. Mater.* 2007 , 19 , 371 에 의하면, 스택어드 바텀 컨택 박막트랜지스터 (staggered bottom contact FET) 구조에서 소스/드레인 전극은 연속된 트랜지스터 제조 동안에 활성층의 스텝 커버리지를 보증하기 위하여 얇아야 한다.

[0007] 그러나, 종래 기술에 있어서 그래핀 또는 환원된 그래핀 산화물의 합성이 고온 제조 공정을 요구하기 때문에 플

라스틱 기재 상에 조립된 유기 트랜지스터에 대하여 아직 보고된 바 없다.

발명의 내용

해결하려는 과제

- [0008] 본원은, 플라스틱 기재 상에 형성된 상에 단층 그래핀을 전극 및 유기 반도체 채널층을 형성하여 제조되는 유기 전계효과 트랜지스터, 그의 제조방법 및 용도를 제공하고자 한다.
- [0009] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 본원의 제 1 측면은, 플라스틱 기재 상에 형성된 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극; 및, 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극과 각각 전기적으로 연결되도록 형성된 유기 반도체 채널층을 포함하는, 유기 전계효과 박막트랜지스터를 제공할 수 있다.
- [0011] 본원의 일 구현예에 따르면, 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각의 면저항은 약 0.5 kΩ/sq 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0012] 본원의 일 구현예에 따르면, 상기 유기 반도체 채널층은 펜타센계 화합물, 테트라센계 화합물, 티오펜 올리고머, 폴리티오펜, 폴리플루오렌, 플루오렌과 티오펜의 공중합체, 이들의 유도체, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0013] 본원의 일 구현예에 따르면, 상기 유기 전계효과 박막트랜지스터는 플렉서블 또는 투명 플렉서블 할 수 있으나, 이에 제한되는 것은 아니다.
- [0014] 본원의 일 구현예에 따르면, 상기 플라스틱 기재는, 폴리아릴레이트, 폴리에틸렌 테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리에틸렌(PE), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(PMMA), 폴리에틸아크릴레이트(polyethylacrylate), 사이클릭 올레핀 코폴리머(COC), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 폴리머(COP), 폴리프로필렌(PP), 폴리이미드(PI), 폴리스타이렌(PS), 폴리비닐클로라이드(PVC), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설포(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0015] 본원의 일 구현예에 따르면, 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각은 금속 촉매 박막 상에서 화학기상증착법에 의하여 제조된 단층 그래핀을 상온에서 패터닝하여 형성된 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 금속 촉매 박막은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, Ru, Ir, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 상기 단층 그래핀 전극은 상기한 바와 같이 전극은 금속 촉매 박막 상에서 화학기상증착법에 의하여 형성됨으로써 결함(defect)이 없거나 적은 고품질의 단층 그래핀을 이용하여 형성될 수 있어 상기 유기 전계효과 박막 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0016] 본원의 일 구현예에 따르면, 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각과 상기 유기 반도체 채널층의 접촉저항은 약 0.02 MΩcm 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0017] 본원의 일 구현예에 따르면, 상기 유기 전계효과 박막트랜지스터는 플렉서블 또는 투명 플렉서블한 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0018] 본원의 제 2 측면은, 상기 본원의 제 1 측면에 따른 유기 전계효과 박막 트랜지스터를 포함하는, 표시소자를 제공할 수 있다. 이러한 표시소자로는, 예를 들어, 전계발광 소자, 액정 소자, 전자이동 소자 등이 포함될 수 있으나, 이에 제한되는 것은 아니다.
- [0019] 상기 표시 소자는 표시용 전자기기를 제조를 위하여 사용될 수 있다. 상기 표시용 전자기기로는, 예를 들어,

디스플레이 장치(display device), RFID(radio frequency identification tags), 인벤토리 태그(inventory tag), 플렉서블 디스플레이(flexible displays), 전자 신호계(electronic signage), 광전지 패널(photovoltaic panels), 멤브레인 키보드(membrane keyboards), 전자 센서(electronic sensors), 및 통합된 전자회로(integrated electronic circuits와 같은 유기 전자소자(organic electronics) 등이 포함될 수 있으나, 이에 제한되는 것은 아니다.

[0020] 본원의 제 3 측면은, 그래핀 성장용 금속 촉매 박막 상에 화학기상증착법에 의하여 단층 그래핀을 형성하고; 상기 단층 그래핀을 상온에서 패터닝하여 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극을 각각 형성하고; 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극을 상기 금속 촉매 박막으로부터 분리시켜 플라스틱 기재 상에 전사하고; 및, 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각과 전기적으로 연결되도록 유기 반도체 채널층을 형성하는 것을 포함하는, 유기 전계효과 박막 트랜지스터의 제조 방법을 제공할 수 있다.

[0021] 본원의 일 구현예에 따르면, 상기 금속 촉매 박막은 Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, Ru, Ir, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0022] 본원의 일 구현예에 따르면, 상기 유기 전계효과 박막트랜지스터는 투명 플렉서블한 것일 수 있으나, 이에 제한되는 것은 아니다.

[0023] 본원의 일 구현예에 따르면, 상기 패터닝된 상기 단층 그래핀 소스 전극 및 상기 단층 그래핀 드레인 전극 각각을 상기 금속 촉매 박막으로부터 분리시키는 것은, 에칭 용액을 이용하여 상기 금속 촉매 박막을 용해시켜 제거하는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0024] 본원의 일 구현예에 따르면, 상기 유기 반도체 채널층은 펜타센계 화합물, 테트라센계 화합물, 티오펜 올리고머, 폴리티오펜, 폴리플루오렌, 플루오렌과 티오펜의 공중합체, 이들의 유도체, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0025] 본원의 일 구현예에 따르면, 상기 플라스틱 기재는 폴리아릴레이트, 폴리에틸렌 테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리에틸렌(PE), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(PMMA), 폴리에틸아크릴레이트(polyethylacrylate), 사이클릭 올레핀 코폴리머(COC), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 폴리머(COP), 폴리프로필렌(PP), 폴리이미드(PI), 폴리스타이렌(PS), 폴리비닐클로라이드(PVC), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설폰(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 일 수 있으나, 이에 제한되는 것은 아니다.

발명의 효과

[0026] 본원에 따른 상기 유기 전계효과 박막 트랜지스터는, 플라스틱 기재와 투명하고 플렉서블한 단층 그래핀을 이용하여 형성된 소스 전극 및 드레인 전극을 이용함으로써 유기 반도체 채널층과 플라스틱 기재 사이의 단차가 최소화되어, 전하의 이동이 자유로울 수 있으므로, 전계효과 이동도, 온/오프 비, 문턱전압 같은 전기적 특성을 나타내는 부분에서 보다 우수한 전기적 특성을 기대할 수 있으며, 재현성 있는 소자, 특히, 플렉서블 또는 투명 플렉서블 소자를 구현하는 데 유용하게 이용될 수 있다. 또한, 본원에 따른 유기 전계효과 트랜지스터는 단층 그래핀을 이용하여 형성된 소스 전극 및 드레인 전극과 플라스틱 기재, 그리고 상기 단층 그래핀을 이용하여 형성된 소스 전극 및 드레인 전극 각각과 유기 반도체 채널층 사이의 단차가 적어 상기 단층 그래핀 전극과 유기 반도체 채널층 사이의 전하 이동도를 향상시킬 수 있는 장점을 가진다.

[0027] 또한, 본원에 있어서 상기 단층 그래핀을 이용하여 형성된 소스 전극 및 드레인 전극은 화학기상증착법에 의하여 제조된 고품질의 단층 그래핀을 상온에서 직접 패터닝하여 전사하는 것을 포함하는 상온 공정에 의하여 형성될 수 있어, 전기적 특성이 우수한 이러한 투명하고 플렉서블한 단층 그래핀 전극을 용이하게 제조하여 본원에 따른 상기 유기 전계효과 박막 트랜지스터 제조시 사용할 수 있다.

[0028] 이에, 투명하고 플렉서블한 단층 그래핀 전극을 포함하여 형성되는 본원에 따른 유기 전계효과 박막 트랜지스터는 다양한 플렉서블 소자 또는 투명 플렉서블 소자에 있어서 이용될 수 있으며, 예를 들어, 다양한 플렉서블 또

는 투명 플렉서블 디스플레이 및 메모리 소자 등에 적용될 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본원의 일 구현예에 따른 유기 전계효과 박막 트랜지스터의 제조 공정을 나타내는 개략도이다.
- 도 2는 본원의 일 실시예에 있어서 단층 그래핀 전극과 펜타센 FETs의 제조 공정을 나타내는 개략도이다.
- 도 3은 본원의 일 실시예에 따른 단층 그래핀 전극의 (a) UV-visible 스펙트럼 및 (b) Raman 스펙트럼이다.
- 도 4는 본원의 일 실시예에 따른 (a) 광식각한 후의 단층 그래핀 및 상기 단층 그래핀 상에 형성된 3 nm, 50 nm 두께의 펜타센의 AFM 이미지, (b) 단층 그래핀 상의 펜타센 필름 (10 nm)에 대한 2D-GIXD 패턴, (c) HMDS-처리된 SiO₂ 표면과 단층 그래핀 전극 사이 경계에서 펜타센 필름(50 nm)의 AFM 이미지, (d) 금 표면 위의 펜타센 (10 nm)의 2D-GIXD (비교예), 및 (e) HMDS-처리된 SiO₂ 표면과 금 전극 사이의 경계에 펜타센 필름(50 nm)의 AFM 이미지(비교예)이다.
- 도 5는 본원의 일 실시예에 있어서 단층 그래핀 전극과 펜타센을 이용한 FETs의 전기적 특성을 나타낸다: (a) 출력 특성 (b) 단층 그래핀 전극의 FETs의 전달 특성 및, (c) 금 전극 (비교예)과 그래핀 전극의 접촉 저항 값, 및 (d) 채널 길이에 따른 전계효과 이동도.
- 도 6은 본원의 일 실시예에 따른 플라스틱 기재 상에 단층 그래핀 전극을 이용한 플렉서블한 펜타센 FETs의 제조 과정 및 특성을 나타낸다: (a) 플라스틱 기재 상에 패터닝된 단층 그래핀 전극의 제조 과정, (b) 출력 특성, 및 (c) 플라스틱 기재 상에 단층 그래핀 전극을 이용한 FETs의 전달 특성 (검은색 선: 도 6(a)에 나타난 패터닝 및 전사 공정 (P-T 공정)을 이용한 경우, 빨간색 선: 도 2(a)에 나타난 전사 및 패터닝 공정 (T-P 공정)을 이용한 경우), (d) 상기 T-P 공정에 이어 형성된 PVP 및 상기 PVP 위에 형성된 50 nm 두께의 펜타센 필름의 AFM 이미지, 및 (e) P-T 공정에 이어 형성된 PVP 및 상기 PVP 위에 형성된 50 nm 두께의 펜타센 필름의 AFM 이미지.

발명을 실시하기 위한 구체적인 내용

- [0030] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0031] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0032] 본원 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0033] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~(하는) 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.
- [0034] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0035] 이하, 본원에 대하여 도면을 참조하여 구현예와 실시예를 이용하여 구체적으로 설명한다. 그러나, 본원에 이러한 구현예와 실시예에 제한되는 것은 아니다.
- [0036] 본원의 일 구현예에 따른 유기 전계효과 박막 트랜지스터는 도 1에 나타난 바와 같은 제조 공정에 의하여 형성

될 수 있다. 이하에서는, 도 1을 참조하여, 본원의 일 구현예에 따른 유기 전계효과 박막 트랜지스터에 대하여 구체적으로 설명한다.

- [0037] 먼저, 도 1a에 나타난 바와 같이, 우선, 그래핀 성장용 금속 촉매 박막(110) 상에 단층 그래핀(120)을 형성할 수 있다.
- [0038] 상기 금속 촉매 박막(110)은 단층 그래핀(120)의 성장을 용이하게 하기 위하여 형성되며, 상기 금속 촉매 박막(110)의 재료는 특별한 제한 없이 사용될 수 있다. 상기 금속 촉매 박막(110)은 예를 들어, Ni, Co, Fe, Pt, Au, Al, Cr, Cu, Mg, Mn, Mo, Rh, Si, Ta, Ti, W, U, V, Zr, Ge, Ru, Ir, 황동(brass), 청동(bronze), 백동, 스테인레스 스틸(stainless steel) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 또한, 상기 금속 촉매 박막(110)의 두께는 특별히 제한되지 않으며, 박막 또는 후막일 수 있다.
- [0039] 상기 단층 그래핀(120)을 형성하는 방법은 당업계에서 그래핀 성장을 위해 통상적으로 사용하는 방법을 특별히 제한 없이 사용할 수 있으며, 예를 들어, 화학기상증착(Cheical Vapour Deposition; CVD) 방법을 이용할 수 있으나 이에 제한되는 것은 아니다. 상기 화학기상증착법은 고온 화학기상증착(Rapid Thermal Chemical Vapour Deposition; RTCVD), 유도결합플라즈마 화학기상증착(Inductively Coupled Plasma-Chemical Vapor Deposition; ICP-CVD), 저압 화학기상증착(Low Pressure Chemical Vapor Deposition; LPCVD), 상압 화학기상증착(Atmospheric Pressure Chemical Vapor Deposition; APCVD), 금속 유기화학기상증착(Metal Organic Chemical Vapor Deposition; MOCVD), 및 플라즈마 화학기상증착(Plasma-enhanced chemical vapor deposition; PECVD) 방법을 포함할 수 있으나, 이제 제한되는 것은 아니다.
- [0040] 상기 단층 그래핀(120)은 금속 촉매 박막(110)을 기상 탄소 공급원을 투입하고 열처리함으로써 단층 그래핀(120)을 성장시킬 수 있다. 일 구현예에 있어서, 금속 촉매 박막(110)을 챔버에 넣고 일산화탄소, 에탄, 에틸렌, 에탄올, 아세틸렌, 프로판, 부탄, 부타디엔, 펜탄, 펜텐, 사이클로펜타디엔, 헥산, 사이클로헥산, 벤젠, 톨루엔 등과 같은 탄소 공급원을 기상으로 투입하면서, 예를 들어, 약 300℃ 내지 약 2000℃의 온도로 열처리하면 상기 탄소 공급원에 존재하는 탄소 성분들이 결합하여 6각형의 판상 구조를 형성하면서 그래핀(120)이 생성된다. 이를 냉각하면 균일한 배열 상태를 가지는 단층 그래핀(120)이 얻어지게 된다. 그러나, 금속 촉매 박막(110) 상에서 그래핀(120)을 형성시키는 방법이 화학기상증착 방법에 국한되지 않으며, 본원의 예시적인 구현예에 있어서 금속 촉매 박막(110) 상에 단층 그래핀(120)을 형성하는 모든 방법을 이용할 수 있으며, 본원이 금속 촉매 박막(110) 상에 단층 그래핀(120)을 형성하는 특정 방법에 제한되지 않는다는 것이 이해될 것이다.
- [0041] 이어서, 도 1b 및 도 1c에 나타난 바와 같이, 상기 단층 그래핀(120)을 패터닝하여 패터닝된 단층 그래핀 전극(140)을 형성할 수 있다. 상기 단층 그래핀 전극(140)은 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극일 수 있다. 이하, 본원 명세서에서 단층 그래핀 전극은 유기 전계효과 박막 트랜지스터에 포함되는 경우 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극을 의미한다.
- [0042] 일 구현예에 있어서, 상기 단층 그래핀(120)은 포토리소그래피(photolithography) 또는 리프트오프(lift-off) 방법에 의해 패터닝될 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 포토리소그래피 방법의 경우, 도 1b에 나타난 바와 같이, 상기 단층 그래핀(120) 상에 PR(130) 패턴을 코팅한 후, RIE(reactive ion etching) 플라즈마 장비를 이용하여 PR(130)을 제거하여 도 1c에 나타난 바와 같이, 패터닝된 단층 그래핀 전극(140)을 형성할 수 있다.
- [0043] 이어서, 도 1d에 나타난 바와 같이, 상기 패터닝된 단층 그래핀 전극(140)을 상기 금속 촉매 박막(110)으로부터 분리시켜 플라스틱 기재(150) 상에 전사할 수 있다.
- [0044] 상기 패터닝된 단층 그래핀 전극(140)을 상기 금속 촉매 박막(110)으로부터 분리시키는 방법은, 상기 단층 그래핀 전극(140)이 형성된 상기 금속 촉매 박막(110)을 에칭 용액 내에 침지시켜 상기 금속 촉매 박막(110)으로부터 상기 단층 그래핀 전극(140)을 분리해내는 것이 가능하다.
- [0045] 상기 에칭 용액은 상기 그래핀 성장용 금속 촉매 박막(110)을 제거할 수 있는 에천트(etchant)를 포함할 수 있으나, 이에 제한되는 것은 아니다. 상기 에천트는 예를 들어, KOH(Potassium Hydroxide), TMAH(Tetra Methyl Ammonium Hydroxide), EDP(Ethylene Diamine Pyrocatechol), BOE(Burrered Oxide Etch), FeCl₃, Fe(NO₃)₃, HF, H₂SO₄, HPO₄, HCL, NaF, KF, NH₄F, AlF₃, NaHF₂, KHF₂, NH₄HF₂, HBF₄ 또는 NH₄BF₄ 를 포함할 수 있으나, 이에 제한

되는 것은 아니다.

- [0046] 상기 금속 촉매 박막(110) 에칭 및 이에 따라 분리된 단층 그래핀 전극(140)을 플라스틱 기재(150)으로 전사하는 것은 디바이스 응용에 중요하다. 보통, 니켈과 같은 금속 촉매는 HNO₃과 같은 강산에 의해 식각될 수 있으나, 이러한 산은 종종 수소 방울을 생성하고 상기 그래핀을 손상시킨다.
- [0047] 이에, 본원의 일 구현예에서는, 상기 그래핀 성장용 금속 촉매 박막(110)을 제거하기 위하여 산화 에천트로서 염화철(III)(FeCl₃) 수용액(1 M)을 사용할 수 있으며, 이러한 에칭 식각 반응의 알짜 이온 방정식(net ionic equation)은, 예를 들어, 상기 금속 촉매 박막(110)이 Ni을 포함하는 경우 다음과 같이 나타낼 수 있다:
- [0048] $2Fe^{3+}(aq) + Ni(s) \rightarrow 2Fe^{2+}(aq) + Ni^{2+}(aq)$.
- [0049] 이러한 산화 환원 과정은 천천히 기체 생성물 또는 침전물을 형성하는 것 없이 온화한 pH 범위에서 효과적으로 상기 니켈 박막을 서서히 에칭할 수 있다. 몇 분 후에 분리된 단층 그래핀 전극(140)은 상기 용액의 표면 위로 부유되고, 이러한 부유된 상기 단층 그래핀 전극(140)은 플라스틱 기재(150) 위로 전사될 수 있다.
- [0050] 상기 플라스틱 기재(150)는 투명, 플렉서블, 또는 투명 플렉서블한 것일 수 있으나, 이에 제한되는 것은 아니며, 플라스틱 기재로는 예를 들어, 폴리아릴레이트, 폴리에틸렌 테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리에틸렌(PE), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(PMMA), 폴리에틸아크릴레이트(polyethylacrylate), 사이클릭 올레핀 코폴리머(COC), 폴리에틸메타크릴레이트(polyethylmetacrylate), 사이클릭 올레핀 폴리머(COP), 폴리프로필렌(PP), 폴리이미드(PI), 폴리스타이렌(PS), 폴리비닐클로라이드(PVC), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설포(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA) 및 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0051] 상기 플라스틱 기재(150) 상에 형성된 상기 단층 그래핀 전극(140)의 면저항은 약 0.5 KΩ/sq 이하일 수 있으나, 이에 제한되는 것은 아니다.
- [0052] 이어서, 도 1e에 나타낸 바와 같이, 상기 플라스틱 기재(150) 상에 형성된 상기 단층 그래핀 전극(140)과 전기적으로 연결되도록 유기 반도체 채널층(160)을 형성할 수 있다. 상기 유기 반도체 채널층(160)은 미리 패터닝된 단층 그래핀 전극(140) 사이에 유기 반도체 채널층(160)을 형성하는 바텀 콘택트 방식이거나, 채널층 위에 상기 전극을 형성하는 탑 콘택트 방식으로 형성시킬 수 있다. 일 구현예에 있어서, 상기 플라스틱 기재(150) 상에 유기 게이트-전극 및 유기 게이트-절연층을 형성한 후 단층 그래핀 전극 (단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극)을 형성하고 상기 단층 그래핀 전극 상에 유기 반도체 채널층을 형성할 수 있다. 예를 들어, 상기 유기 게이트-전극은 폴리스티렌 술폰산(PEDOT/PSS)을 포함하고, 상기 유기 게이트-절연층은 폴리-4-비닐페놀(PVP)을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0053] 플라스틱 기재(150) 상에 유기 반도체를 이용한 채널층(160)을 형성하면 구부러거나 휘어도 크랙이 발생하거나 깨질 가능성이 작으며, 높은 결정화도와 함께 높은 전하 이동도를 가지는 유기반도체 채널이 형성될 수 있으므로 우수한 품질의 유기 전계효과 트랜지스터를 제조할 수 있다.
- [0054] 상기 유기 반도체 채널층(160)은 예를 들어, 펜타센계 화합물, 테트라센계 화합물, 티오펜 올리고머, 폴리티오펜, 폴리플루오렌, 플루오렌과 티오펜의 공중합체, 이들의 유도체, 이들의 조합들로 이루어진 군에서 선택되는 것을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 상기 펜타센 및 그 유도체는, 예를 들어, 알킬- 및 할로젠- 치환된 펜타센, 아릴-치환된 펜타센, 알킬닐- 치환된 펜타센, 알킬닐-치환된 알킬 및 알킬닐 펜타센, 알킬닐-치환된 펜타센 에테르를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0055] 상기 유기 반도체 채널층(160)을 상기 단층 그래핀 전극(140) 상에 형성하는 방법은 일 구현예에 있어서, 유기 반도체가 함유된 용액을 스핀 코팅, 딥 코팅, 스프레이 코팅, 인쇄, 닥터블레이드 등에 의해 단층 그래핀 전극(140) 상에 코팅하여 상기 유기 반도체 채널층(160)을 형성할 수 있다.
- [0056] 다른 구현예에 있어서, 상기 유기 반도체를 진공증착 등에 의해 상기 단층 그래핀 전극(140) 상에 적층하여 형성하는 것도 가능할 수 있다.
- [0057] 상기 유기 반도체 채널층(160)은 상기 단층 그래핀 전극(140)을 이용함으로써 상기 단층 그래핀 전극(140) 과

상기 플라스틱 기재(150)와 단차가 작게 형성되어 상기 전극과 상기 채널층의 전하의 이동도가 향상될 수 있다.

- [0058] 상기 유기 반도체 채널층(160)은 약 100 nm 이하, 또는 약 50 nm, 또는 약 30 nm 이하, 또는 약 20 nm, 또는 약 10 nm 이하의 두께를 가지는 박막일 수 있으나, 이에 제한되는 것은 아니다. 상기 유기 반도체 채널층(160)의 두께의 하한은 약 0 nm 초과, 또는 약 0.1 nm 이상, 또는 약 1 nm 이상, 또는 약 2 nm 이상, 또는 약 3 nm 이상, 또는 약 4 nm 이상, 또는 약 5 nm 이상일 수 있으나, 이에 제한되는 것은 아니다.
- [0059] 이와 같이 제조된 본원의 일 구현예에 따른 유기 전계효과 트랜지스터는 플라스틱 기재(150) 상에 형성된 단층 그래핀 전극(140); 및 상기 단층 그래핀 전극과 전기적으로 연결된 유기 반도체 채널층(160)을 포함할 수 있다.
- [0060] 유기 전계효과 박막트랜지스터의 성능은 여러 가지로 평가할 수 있는데, 대표적으로 전계효과 이동도(field-effect mobility), 온/오프 비(on/off ratio) 그리고 문턱전압(threshold voltage) 등이 중요하며, 이러한 특성은 활성 채널층의 구조 및 형태에 따라 크게 다르게 나타날 수 있다.
- [0061] 따라서, 본원에서의 상기 유기 반도체 채널층(160)은 상기 단층 그래핀 전극(140)을 이용함으로써 상기 플라스틱 기재(150)와의 단차가 작게 형성되어, 전하의 이동이 자유로울 수 있으므로, 전계효과 이동도, 온/오프 비, 문턱전압 같은 전기적 특성을 나타내는 부분에서 보다 우수한 전기적 특성을 기대할 수 있으며, 재현성 있는 소자를 구현할 수 있다.
- [0062] 또한, 본원에서는 단층 그래핀을 사용하여 투명전극으로 활용하게 되며, 상기 단층 그래핀 전극은 그에 따라 우수한 전기적 특성, 즉 높은 전도도, 낮은 접촉 저항값 등을 나타내게 되며, 상기 그래핀 전극이 매우 얇고 가요성을 가지므로 플렉서블한 투명전극을 제조하는 것이 가능해진다. 상기 본원에 따른 그래핀 시트 함유 투명 전극은, 단층 그래핀 전극을 사용함에 따라 우수한 전도도를 나타낸은 물론, 그에 따라 얇은 두께만으로 목적하는 전도도를 나타낼 수 있으므로 투명도가 개선되는 효과를 갖는다.
- [0063] 이하, 실시예와 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본원이 이러한 실시예와 도면에 제한되는 것은 아니다.

실시예 1

- [0064] 물질 및 디바이스 제조:
- [0065] 그래핀 성장을 위해, 구리 호일은 90 mtorr (1 Torr \approx 133 Pa)에서 8 sccm(standard cubic centimeters per minute) H₂ 흘러주면서 1000℃로 가열되었고, 이어서, CH₄/H₂ 가스는 30분 동안 각각, 24 및 8 sccm 의 속도로 460 mtorr 에서 흘러주었다. 그리고 나서, 석영 튜브(quartz tube)는 H₂ 흐름 하에서 상온으로 급격하게 냉각되었다. 상기 구리 호일 상에 CVD-성장된 단층 그래핀 필름은 PMMA(Mw = 240 kg mol⁻¹)로 덮여졌고, 0.1 M 암모늄 퍼설페이트 ((NH₄)₂S₂O₈) 의 수용액 중에 띄웠다. 모든 상기 구리 층(호일)을 에칭한 후에, 상기 PMMA 지지층을 가진 상기 그래핀 필름은 300 nm SiO₂ 층(커패시턴스 = 10.8 nF cm⁻²)을 가진 실리콘 기판으로 전사되었다. 아세톤으로 상기 PMMA 지지층을 제거한 후에 상기 그래핀 필름은 상기 실리콘 기판 상에 남아있었다. 상기 그래핀 전극을 패터닝하기 위해 UV 리소그래피 (Micro Chemicals 로부터 AZ1512 포토레지스트 이용)는 정의된 채널 길이 및 두께(L = 10, 20, 50, 100 μm; W = 1000 μm)로 사용하였다. 상기 그래핀 필름의 에칭은 2초 동안 RIE 플라즈마(100 W)의 적용에 의해 수행되었다. 상기 SiO₂ 표면은 HMDS(hexamethyldisiloxane)로 처리되었고 [참고문헌: A. Lim , W. H. Lee , D. Kwak , K. Cho , *Langmuir* 2009 , 25, 5404 ., 상기 포토레지스트 제거를 위해 리프트-오프(lift-off) 방법이 사용되었다.
- [0066] 폴리아릴레이트(Polyarylate; PAR, Ferrania Technologies) 필름은 탄소-기반한 OFETs 제조를 위한 플렉서블 플라스틱 기재로서 사용되었다. 전도성 폴리머의 수분-기반한 잉크, 폴리스티렌 술폰산(polystyrene sulfonic acid) 으로 도핑된 폴리(3,4-에틸렌디옥시티오펜)[poly(3,4-ethylenedioxythiophene)] (PEDOT/PSS) (Baytron P, Bayer AG)은 각각 PAR 필름 위에 게이트 전극으로서 스핀 코팅되었다. 그리고 나서, 316 nm 두께-유전층

(캐패시턴스 = 11 nF cm^{-2})은 8.8 wt% 폴리-4-비닐페놀(poly-4-vinylphenol; PVP, $M_w = 20,000 \text{ g mol}^{-1}$) 및 6.2 wt% 메틸화된 폴리(멜라민-co-포름알데히드)[poly(melamine-co-formaldehyde), methylated (PMF, $M_w = 511 \text{ g mol}^{-1}$)]를 포함하는 디메틸포름아미드(dimethylformamide) 용액을 이용하여 스핀코팅($\approx 5,000 \text{ rpm}$)에 의해 상기 폴리아릴레이트 상에 증착되었고, 1 시간 동안 진공 오븐 중에 180°C 에서 후속 가교되었다. 상기 그래핀 소스/드레인 전극은 두 가지 상이한 절차[T-P(전사 후 패터닝) 및 P-T(패터닝 후 전사) 공정]의 하나에 의해 준비되었다. 펜타센은 석영 도가니로부터 0.2 A s^{-1} 의 속도로 상기 기재 위에 증착되었다.

[0067] 분석:

[0068] 상기 필름 형태는 광학 현미경(Zeiss) 및 AFM(Digital Instruments Multimode)에 의해 측정되었다. 2D-GIXD 실험은 대한민국에서 포항 가속기 연구소(Pohang accelerator laboratory; PAL)의 빔 라인 4C2 에서 수행되었다. 상기 유전체의 커패시턴스는 Agilent 4284 precision LCR meter 을 이용하여 측정되었다. 케이슬리(Keithley) 2636A 반도체 파라미터 분석은 주변 조건에서의 소자의 전류-전압 특성을 연구하기 위해 사용되었다.

[0069] 도 2는 본 실시예에서와 같이 고분자를 이용한 전사 방법으로 그래핀을 패터닝하여 단층 그래핀 소스/드레인 전극을 제작하는 과정이다. 화학증기 증착법으로 단층 그래핀을 합성하고 구리 층을 없앤 후 PMMA 지지체가 있는 그래핀을 300 nm SiO_2 기재 상에 전사했다. 아세톤으로 PMMA를 제거한 후 UV 식각 공정을 통해 그래핀 전극을 패터닝하였다. 상기 그래핀 위에 남아있는 감광액은 HMDS(hexamethyldisiloxane) 처리를 통하여 제거한 후 펜타센을 증착하였다. 도 2b는 그래핀을 소스/드레인 전극으로 하고 펜타센을 증착하여 FETs를 제작한 이미지이다. 도 3a는 단층 그래핀의 투과도가 97.6% 로 그래핀 전극이 매우 높은 투과도를 가지는 것을 확인할 수 있다. 그래핀의 층수가 증가할수록 투과도가 감소하기 때문에 단층 그래핀을 전극으로 사용한 것은 매우 큰 장점이 있다. 상기 단층 그래핀의 면저항은 $0.5 \text{ k}\Omega/\text{sq}$ 로 측정되며 단층 그래핀 전극은 높은 전도도와 투과도를 가지고 카본 원자들이 평평한 벌집모양 격자를 이루기 때문에 그래핀은 포토리소그래피(Photolithography) 기술에 의해 쉽게 패터닝할 수 있는 장점이 있다.

[0070] 상기한 바와 같이, OTFTs에서 소스/드레인 전극으로 단층 그래핀을 사용하고 대표적인 유기 반도체 물질인 펜타센을 증착하였다. 도 4a는 단층 그래핀 위에 펜타센을 3 nm , 50 nm 각각 증착한 경우의 AFM(Atomic Force Microscopy) 이미지이다. 상기 그래핀 표면에 PMMA와 감광액에 의한 많은 잔여물이 남아있고, 이러한 잔여물은 그래핀 전사와 패터닝 과정을 거치면서 표면에 남아있게 된다. 도 4b는 단층 그래핀 위에 증착된 10nm 두께의 펜타센의 성장 모드이며, 펜타센 분자가 표면에 수직적으로 배열되는 것을 알 수 있다. 펜타센 분자는 다층의 헤링본 구조에서 수직적으로 배열되며, 이러한 펜타센 분자의 배열과 패킹 기하학은 자기 조립 단층이 개질된 SiO_2 와 같은 유전체 기재에서 위에서 흔하게 성장된다. 그러나 HOPG(Highly Oriented Pyrolytic Graphite)표면 위에서 펜타센은 누워있는 방향으로 배열된다. 그래파이트의 표면 성질 때문에 깨끗한 그래핀 표면 위에서 펜타센 분자는 누운 방향으로 배열될 것이라 가정했다. 그러나 상기 패터닝된 그래핀 전극의 표면 성질은 전사 과정 등에서 사용된 PMMA와 같은 고분자 잔여물이 상기 그래핀 표면 위에서 도 4a와 같이 물리적으로 흡착되기 때문에 전체적으로 깨끗한 그래핀 표면 위에서와 상이하다. 따라서 상기기 패터닝된 그래핀 전극 위에서 펜타센 성장의 특징은 그래핀과 $\pi-\pi$ 상호작용보다 그래핀 표면을 덮고 있는 잔여물에 의해 결정된다. 예를 들어, 바텀 컨택(bottom-contact) 소자 구성에서 채널과 전극 사이에 유기 반도체의 표면 형태는 전극에서 채널까지 효율적인 전하 이동에 중요하다.

[0071] 도 3c는 HMDS 처리한 SiO_2 와 단층 그래핀 전극에 펜타센을 증착한 AFM 이미지이다. 또한 도 3e는 HMDS와 금 전극(비교예) 경계에 펜타센을 증착한 이미지이다. 상기 이미지에서처럼 일반적인 금속 전극으로 사용되는 금 전극보다 그래핀이 바텀 컨택일 때 단차가 더 적어서 유리하다. 단층 그래핀 전극 위에서 펜타센 입자의 크기가 채널 지역에서 펜타센 입자보다 더 작으며, 펜타센 입자는 끊임없이 채널과 전극 사이에서 자란다. 펜타센의 구조 분석에 의해 나타나는 것처럼, 채널과 전극이 만나는 부분에서 펜타센의 배열 및 단차가 원인이 되어 금을 전극으로 사용한 펜타센 소자의 경우에는 그래핀을 전극으로 사용한 소자에 비해 특성이 저하될 수 있다. 펜타센 입자의 성장은 단층 그래핀 전극이 단지 원자 하나 두께이기 때문에 전극의 두께에 의해 제한되지 않는다. 이러한 이유로 도 3c 및 도 3e에서 알 수 있듯이 그래핀을 전극으로 사용하였을 경우 단차의 제한이 적어

더 좋은 성능을 발휘 할 수 있다.

[0072] 도 5는 전기적 특성 분석을 위하여 SiO₂/Si 기재 상 형성된 단층 그래핀 전극과 펜타센 FETs의 전기적 성질이다. 게이트 전압에 따라 바람직한 그래프 모양을 보이고 10⁷을 초과하여 높은 온/오프(on/off) 비율을 보인다. 단층 소스/드레인 전극 위의 바텀 컨택 펜타센 FETs는 평균 0.54 ± 0.004 cm²/Vs의 전계효과 이동도를 가진다. 이와 비교하여 바텀 컨택 펜타센 FETs에서 열적으로 증착된 금 전극 (비교예)을 사용한 FETs의 이동도는 0.02 cm²/Vs으로 그래핀 전극의 이동도보다 훨씬 더 낮은 값을 나타낸다. 펜타센과 소스/드레인 전극 사이의 전기적 접촉에 대한 전극 물질의 영향을 알기 위해 그래핀과 금 전극의 접촉 저항을 계산하여 보았을 때 그래핀 전극의 접촉 저항은 -40에서 -100 V로 전압을 가했을 때 0.02에서 0.008 MΩcm까지 감소하였다. 또한 금 전극보다 접촉 저항이 1,000배 정도 좋은 것을 알 수 있다. 그래핀 전극에서 접촉 저항이 크게 감소된 결과는 전계효과 이동도를 증가시키는데 중요한 역할을 한다. 이처럼 단층 그래핀을 전극으로 사용하였을 경우 일반적으로 사용되어 왔던 금속 전극보다 훨씬 더 좋은 전기적 성질을 확인할 수 있다.

[0073] 단층 그래핀 전극을 만드는 단계에서 플라스틱 기재에 전사하는 것이 유용하기 때문에 도 6a와 같이 펜타센 FETs는 플렉서블한 기재 상에서 그래핀 전극을 패터닝 하고 전사하는 순서의 공정 과정을 통해 제작하였다. 도 6b에 나타낸 바와 같이, 단층 그래핀 전극의 특성 분석을 위하여 사용된 상기 SiO₂/Si 기재를 사용하는 대신 플라스틱 기재로서 폴리아크릴레이트를 사용하였고, 폴리아크릴레이트 기재 상에 PEDOT/PSS를 포함하는 게이트-전극을 형성하고, 상기 게이트 전극 상에 PVP를 포함하는 게이트-절연층을 형성한 후, 상기 PVP를 포함하는 게이트-절연층 상에 도 6a에 나타낸 바와 같은 과정에 의하여 단층 그래핀 소스 전극 및 단층 그래핀 드레인 전극을 형성한 후 펜타센을 증착하여 플라스틱 기재 상에 펜타센 FET를 제조하였다.

[0074] 도 6a에 나타낸 바와 같은 과정 단층 그래핀 형성과정에 있어서, T-P(전사한 후 패터닝) 과정에 의해 제작된 소자의 전계효과 이동도는 상대적으로 낮은 값(~0.01 cm²/Vs)을 나타냈다. 도 6d는 PVP와 PVP 위에 성장된 펜타센의 표면 형태이다. PVP의 표면은 2.9 nm의 조도를 가지고 PVP 위에 성장된 펜타센의 입자 크기는 상대적으로 작다(~100 nm). 감광액이 덮여있지 않은 그래핀을 제거하기 위해 RIE 처리를 했더니 아래 PVP 기재가 손상이 되었고 거친 친수성 PVP 기재가 되었다. 이러한 이유로 T-P 과정에서 PVP에 성장시킨 펜타센은 입자들간의 간격이 느슨하고 입자의 크기가 작다.

[0075] 결론적으로 플라스틱 기재 상에서 소자의 전계효과 이동도는 감소했다. 이러한 좋지 않은 현상을 피하기 위해서 단층 그래핀을 구리 호일 위에서 직접 패터닝을 하고 패터닝된 그래핀 전극은 도 6a와 같이 P-T(패터닝하고 전사) 방법으로 고분자를 지지체로서 이용하여 전사를 했다. 이 과정에서 RIE는 구리 호일 위에서 처리했다. 그러므로, 전하 이동에 중요한 계면인 PVP 표면은 도 6e 와 같이 AFM으로 확인해 보았을 때 0.6 nm의 조도를 가지고 손상이 가지 않은 표면을 확인하였다. 결론적으로 펜타센은 이러한 부드러운 PVP 층에서 잘 성장하고 ~500 nm 의 입자 크기를 나타냈다. 도 6b는 P-T 과정으로 제작한 플렉서블한 기재위의 펜타센 FETs의 출력 곡선(output curve)이다. 도 6c와 같이 P-T 과정으로 만든 FETs가 T-P 과정으로 만든 FETs 보다 전계효과 이동도가 더 좋게 측정되었다. 패터닝과 단층 그래핀의 전사 과정은 상온에서 이루어졌고, 단층 그래핀 전극과 탄소 기반 유기 트랜지스터는 플라스틱 기재 상에서 성공적으로 제작할 수 있었고 도 6a 처럼 소자는 유연성있고 투명하면서 우수한 전기적 성질을 나타냈다.

[0076] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

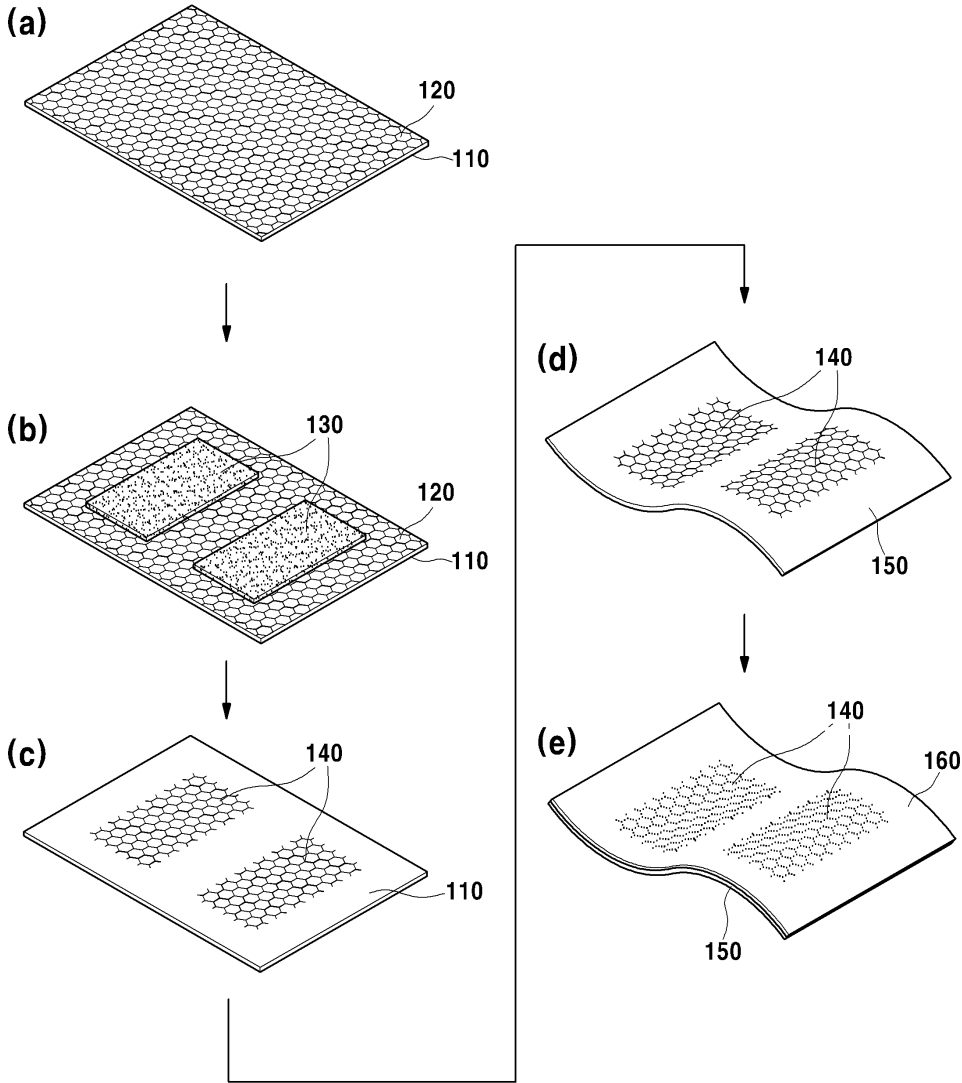
[0077] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

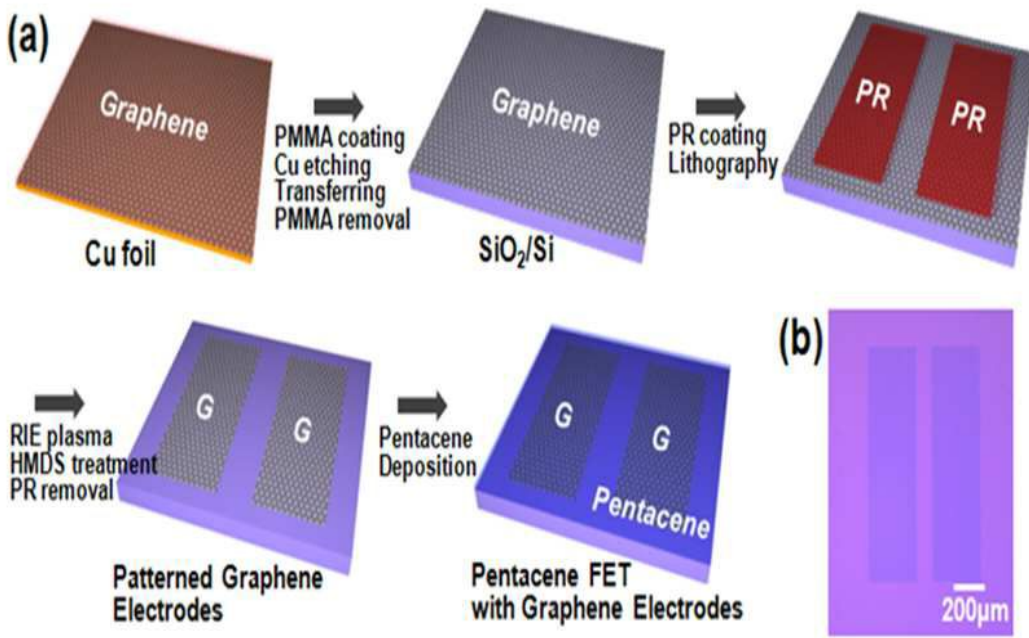
- [0078] 110: 금속 촉매 박막 120: 단층 그래핀
 130: PR 140: 단층 그래핀 전극
 150: 플라스틱 기재 160: 유기 반도체 채널층

도면

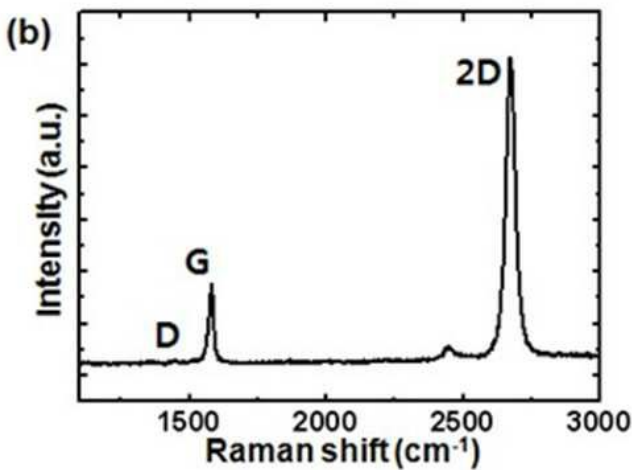
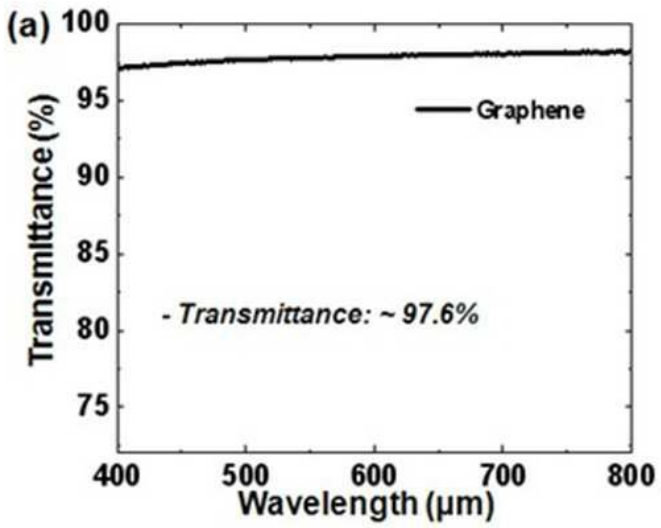
도면1



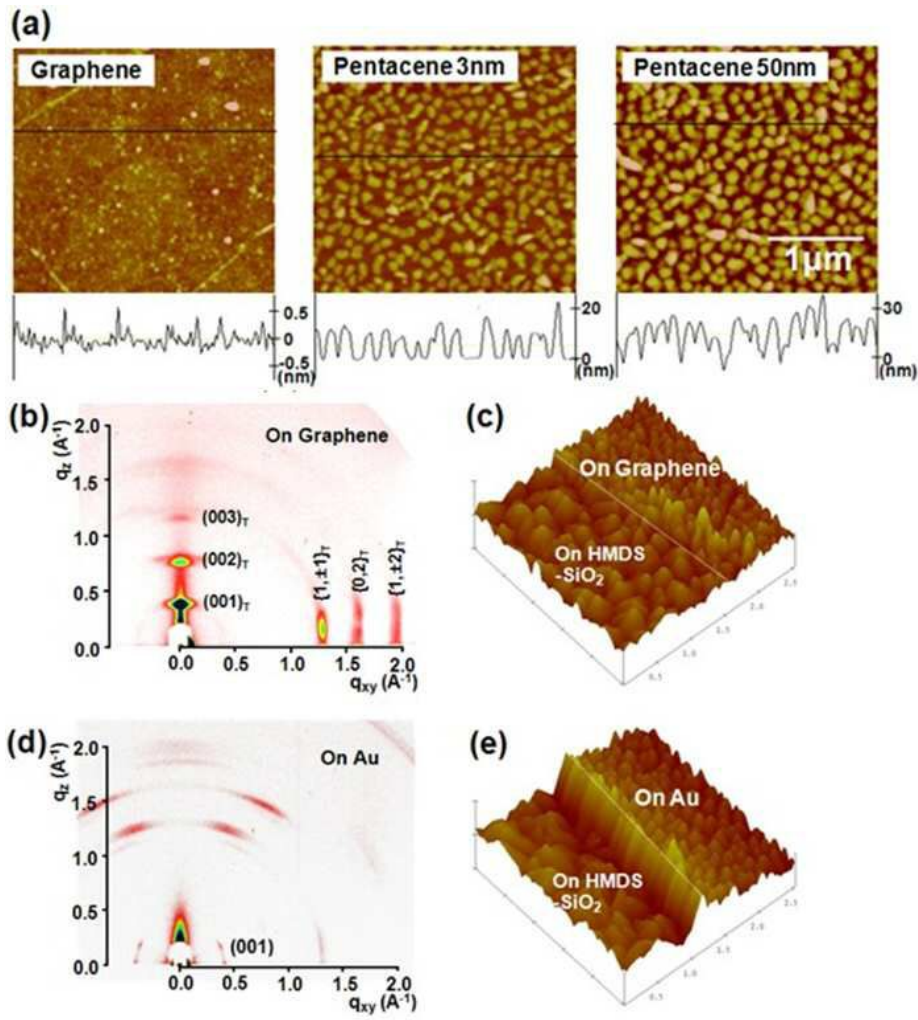
도면2



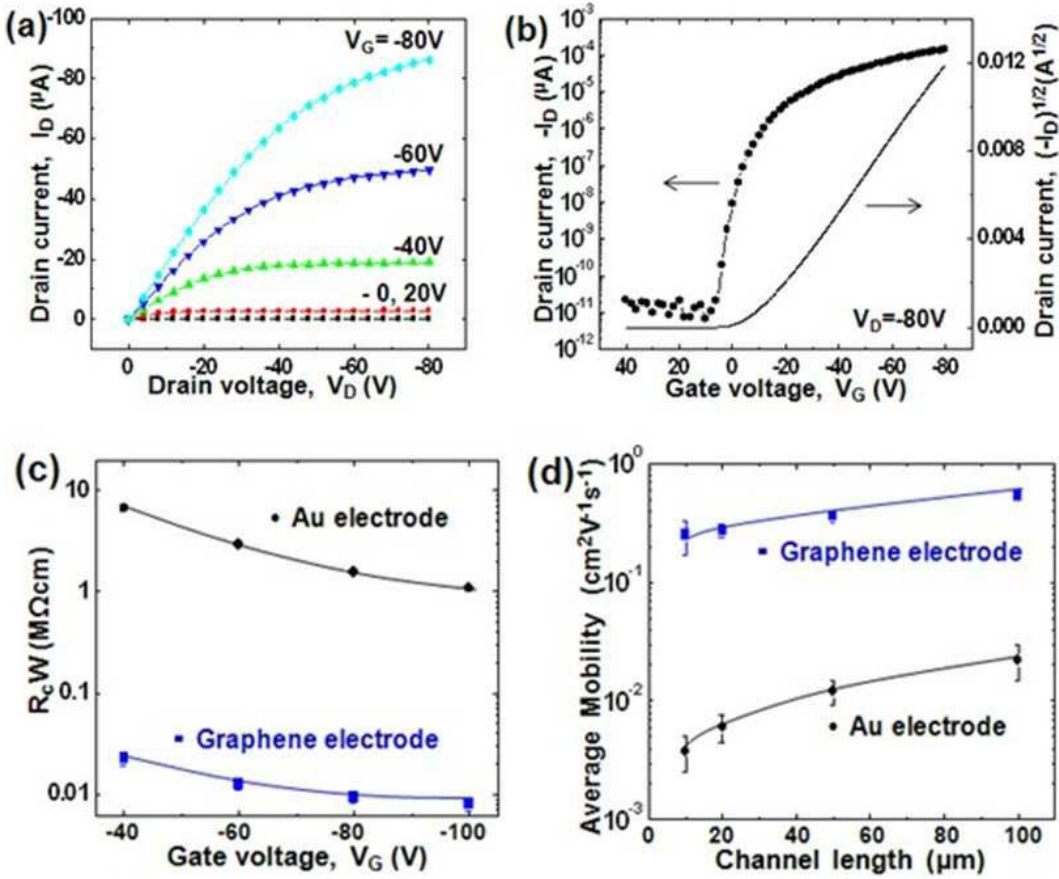
도면3



도면4



도면5



도면6

